

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-212185

(43)公開日 平成7年(1995)8月11日

(51) Int.Cl.<sup>8</sup>

H O 3 H 11/04

識別記号

庫内整理番号

D 8628-5 J

FI

### 技術表示箇所

審査請求 未請求 請求項の数 3 O.L (全 13 頁)

(21)出願番号 特願平6-1747

(22) 出題日 平成6年(1994)1月12日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 丹場 裕子

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74)代理人 弁理士 大日方 富雄

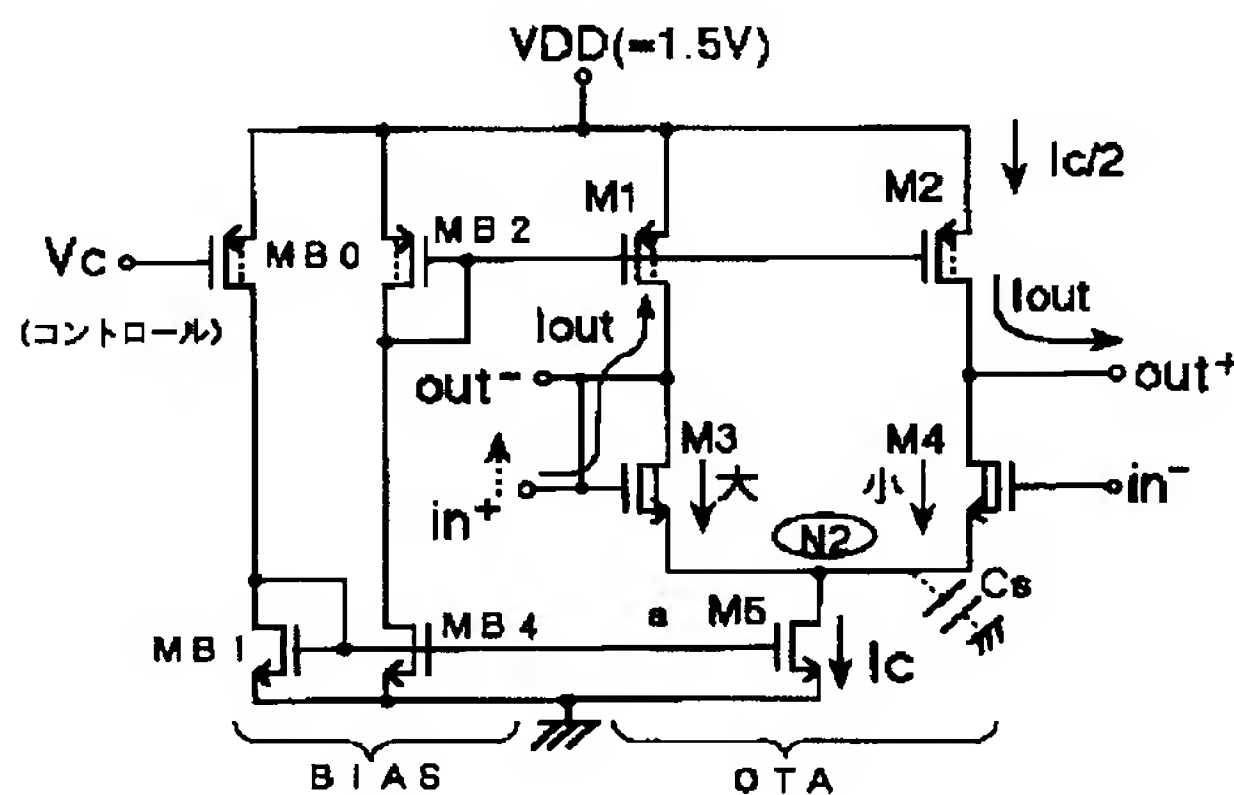
(54) 【発明の名称】 アナログフィルタ回路

(57) 【要約】

【目的】 低電圧・低消費電力で低歪かつ周波数偏差の少ないフィルタ回路を実現する。

【構成】 OTA-Cフィルタに使用されるGm制御可能なアンプとして、基本差動増幅回路の入力差動MOSFETのドレインに接続された負荷MOSFETのゲートにバイアス回路からの定電圧を印加して定電流源化するとともに、回路の反転出力端子を入力端子に結合してやるようにした。

【効果】 入力差動MOSFETの負荷MOSFETが定電流源化されるため、入力差動MOSFETのドレイン電圧が入力信号レベルに依存しなくなり、電源電圧を1.5V程度に低くしても入力信号が上昇したときに入力差動MOSFETが非飽和になるのを防止することができる。しかも、反転出力端子が入力端子と結合されているので、反転出力端子から出力される非反転出力端子と逆向きの電流を非反転入力端子から吸収させることができ、これによって回路のバランスを容易に保つことができる。



## 1

## 【特許請求の範囲】

【請求項 1】 ソース共通接続された一対の入力差動 MOSFET と、これらの入力差動 MOSFET の共通ソースに接続された定電流用 MOSFET と、上記入力差動 MOSFET のドレイン側にそれぞれ接続された定電流型負荷 MOSFET と、コントロール電圧に応じたバイアス電圧を上記定電流用 MOSFET および定電流型負荷 MOSFET のゲートに供給して所定の電流を流すためのバイアス回路とを備え、反転出力端子が入力端子に結合されてなり、上記コントロール電圧によりトランスコンダクタンスが制御可能にされた電圧電流変換回路を備えてなることを特徴とするアナログフィルタ回路。

【請求項 2】 上記バイアス回路は、上記非反転入力端子に入力される電圧が印加されるモニタ用端子を備え、上記定電流用 MOSFET および定電流型負荷 MOSFET のドレイン電圧の変動に伴い変動する電流を補償させるようなバイアス電圧を発生するように構成されてなることを特徴とする請求項 1 記載のアナログフィルタ回路。

【請求項 3】 請求項 1 のトランスコンダクタンスが制御可能な差動増幅回路を複数個含むアナログフィルタ回路において、上記バイアス回路は複数個の差動増幅回路に対応して共通に設けられていることを特徴とする請求項 1 または請求項 2 記載のアナログフィルタ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、アナログ信号処理技術さらにはトランスコンダクタンスを制御可能な差動増幅回路を用いたアナログフィルタ回路に適用して特に有効な技術に関し、例えば携帯電話等低電圧で動作する機器に使用される LSI に内蔵されるアナログフィルタ回路に利用して有効な技術に関する。

## 【0002】

【従来の技術】 近年、携帯電話や電池動作の電子機器（例えばノートパソコン、カセットテープレコーダ等）の普及に伴い、より一層の小型・軽量化を図り、かつ小型電池で長時間利用できるようにするために、LSI の低電圧・低消費電力化の要請が高まっている。一方、通信やオーディオの分野ではデジタル化の時代を迎えているが、取り扱うべき音声や画像、電波等はもともとアナログ信号であるため、アナログ回路が不可欠である。また、デジタル通信の信号処理においても、A-D、D-A 変換器やその前後に折り返しノイズまたは高周波成分を除去するためのアナログフィルタが必要とされる。

## 【0003】

【発明が解決しようとする課題】 しかしながら、アナログ回路の多くはその性能が電源電圧に大きく依存しており、低電圧化には大きな工夫が必要である。中でも、キーとなる技術は A-D、D-A 変換器やフィルタ回路で

## 2

あるが、A-D、D-A 変換器に関しては電流駆動型等の検討が進められている。従って、残る大きな課題として、低電圧・低消費電力で低歪かつ周波数偏差の少ないフィルタ回路の実現がある。

【0004】 従来、アナログフィルタ回路としては、抵抗と容量を用いた CR フィルタと、CR フィルタの抵抗をスイッチで置き換えたスイッチトキャパシタ・フィルタが多用されている。上記 CR フィルタは連続時間系のフィルタであり、カットオフ周波数  $f_c$ （利得  $-3\text{ dB}$  における周波数）は  $1/2\pi RC$  で表わされ、抵抗の製造バラツキ（ $\pm 30\%$ ）と容量の製造バラツキ（ $\pm 20\%$ ）によってカットオフ周波数  $f_c$  が最大で  $\pm 50\%$  も変動するため、周波数偏差が非常に悪いという問題点がある。

【0005】 一方、スイッチトキャパシタ・フィルタは、離散時間系のフィルタであり、サンプリング周波数を  $f_s$  とすると、カットオフ周波数  $f_c$  が  $f_s \cdot C_1/C_2$  で表わされる。このようにスイッチトキャパシタ・フィルタは、カットオフ周波数  $f_c$  がサンプリング周波数と容量比で決まるため、周波数偏差は非常に良好な特性を示すが、信号周波数に比べて 10 倍あるいはそれ以上高い周波数に追従可能な高速アンプが必要とされるという問題点がある。

【0006】 また、スイッチトキャパシタ・フィルタでは、連続時間系の前置フィルタおよび後置フィルタが必要であり低消費電力化には適していないとともに、電源電圧が低いとスイッチを構成する MOSFET がオンしなくなり、低電圧化にも適さない。この場合、スイッチをオン、オフするクロックを昇圧する方法も考えられるが、フィードスルーが増大するため、SN 比（Signal to Noise ratio）が劣化する要因となる。

【0007】 さらに、低電圧、低消費電力化可能なアナログフィルタ回路として、CR フィルタの抵抗の変わりに、トランスコンダクタンス  $G_m$ （電圧-電流変換特性）を制御可能な差動増幅回路（Operational Transconductance Amplifier）で置き換えた図 19 に示すような OTA-C フィルタが提案されている。OTA-C フィルタはカットオフ周波数  $f_c$  が  $G_m/2\pi C$  で表わされ、容量  $C$  のバラツキ量に応じて差動増幅回路の  $G_m$  を調整することによってカットオフ周波数  $f_c$  の偏差を補償することができるという利点を有している。しかしながら、従来の OTA-C フィルタの歪は 0.2% が限界であり実用上満足できるものではなかった。

【0008】 そこで、本発明者は、OTA-C フィルタが低電圧化できない原因について検討した。従来、OTA-C フィルタに使用される  $G_m$  制御可能なアンプは、図 18 に示すような差動増幅回路で構成されており、定電流用 MOSFET M5 のゲート電圧  $V_c$  を調整してバイアス電流  $I_c$  を変化させることにより  $G_m$  を調整するようになっている。

## 3

【0009】ところが、図18の基本回路にあっては、入力差動MOSFET M3のドレイン端子に負荷として接続されたMOSFET M1が、ゲートとドレインが結合されたいわゆるダイオード接続されている。そのため、電源電圧VDDが小さくかつV<sub>e</sub> (M3のゲート・ソース間電圧V<sub>gs</sub>としきい値電圧V<sub>th</sub>との差V<sub>gs</sub>-V<sub>th</sub>) およびP-MOSFET M1, M2のしきい値電圧が大きい場合、ノードN1の電圧すなわちMOSFET M3のドレイン電圧が下がり、入力信号V<sub>in</sub>が上昇したときにMOSFET M3が非飽和になってしま

う。これが、OTA-Cフィルタを低電圧化できない原因であるとの結論に達した。

【0010】本発明は、上記のような背景の下になされたもので、その目的とするところは、低電圧・低消費電力で低歪かつ周波数偏差の少ないフィルタ回路を提供することにある。本発明の他の目的は、ディジタル回路とアナログ回路が混在したLSIに適したフィルタ回路を提供することにある。本発明のさらに他の目的は、トランスコンダクタンスの安定な差動増幅回路を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

## 【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、OTA-Cフィルタに使用されるG<sub>m</sub>制御可能なアンプとして、基本差動増幅回路の入力差動MOSFETのドレインに接続された負荷MOSFETのゲートにバイアス回路からの定電圧を印加して定電流源化するとともに、回路の反転出力端子を入力端子と結合してやるようにしたものである。さらに、好ましくは上記基本差動増幅回路には、入力電圧をモニタしてそのレベルに応じたバイアス電圧を発生し、それを基本差動増幅回路の定電流用のMOSFETのゲートに供給することで、チャネル長変調効果による電流変動を補償させる電流補償型バイアス発生回路を具備させるようにする。

## 【0012】

【作用】上記した手段によれば、入力差動MOSFETの負荷となるMOSFETが定電流源化されるため、入力差動MOSFETのドレイン電圧が定電流型の負荷MOSFETのしきい値電圧に依存しなくなり、電源電圧を1.5V程度に低くしても入力信号が上昇したときに入力差動MOSFETが非飽和になるのを防止することができる。しかも、差動増幅回路では非反転出力端子のみから出力電圧を取り出すシングルエンド出力構成にすると、反転出力端子から出力される非反転出力端子と逆向きの電流を入力差動MOSFETのドレイン電圧を変化させることで吸収しようとするため、非反転出力端子の電圧が大きく変動して回路のバランスを保てなくなる

## 4

が、上記のように非反転入力端子と反転出力端子とを結合してやれば、反転出力端子から出力される非反転出力端子と逆向きの電流を入力端子から吸収させることができる。また、入力差動MOSFETのドレイン電圧が同じように変動するので、対称性が向上し、歪を低減することができる。さらに、チャネル長変調効果による電流変動を補償できるため、差動増幅回路のバイアス電流が一定になり、トランスコンダクタンスを安定させ、出力の歪をより一層小さくすることができる。

## 【0013】

【実施例】図1および図2に本発明に係るG<sub>m</sub>制御可能な差動増幅回路と、これを使用したOTA-Cフィルタの一実施例が示されている。なお、図面において、ゲート端子から外向きの矢印が付されているMOSFET (例えばM3, M4, M5) はNチャネル型であり、ゲート端子に向かうの矢印が付されているMOSFET (例えばM1, M2) はPチャネル型である。本実施例の差動増幅回路は、差動増幅段OTAとそのバイアス回路BIASとからなり、差動増幅段OTAは、入力差動MOSFET M3, M4のドレイン側に接続された負荷MOSFET M1, M2が定電流源化され、そのゲートバイアス電圧を発生するバイアス回路BIASが設けられており、しかも、そのバイアス回路BIASは、入力差動MOSFET M1, M2の共通ソース側に接続された定電流用MOSFET M5のゲートバイアス電圧をも発生するように構成されている。

【0014】本実施例の差動増幅回路では、すべてのMOSFETが飽和領域で動作するための入力信号V<sub>in</sub>の振幅は、

$$2V_e + V_{thn} < V_{in} < V_{DD} - V_e$$

であり、V<sub>thp</sub>に依存しなくなるため、低電圧化を図ることができる。ここで、V<sub>e</sub>はMOSFET M3, M4のゲート・ソース間電圧V<sub>gs</sub>と、しきい値電圧V<sub>thn</sub>との差電圧(V<sub>gs</sub>-V<sub>thn</sub>)であり、V<sub>thn</sub>が0.25Vであるとする、入力信号V<sub>in</sub>の振幅は0.31Vとなる。一方、本実施例の差動増幅回路では、出力端子o<sub>u</sub>tから流れ出す電流I<sub>out</sub>は従来の回路の半分となる。

従って、G<sub>m</sub>は、次式のようにになる。

$$G_m = I_{out} / \Delta V_{in} = \sqrt{(I_c \cdot \beta \cdot W / L)} / 2$$

ここで、βはMOSFET M3, M4のチャネルコンダクタンスである。

【0015】ただし、本実施例の差動増幅回路では、反転出力端子o<sub>u</sub>t-から出力される上記電流I<sub>out</sub>と逆向きの電流I<sub>out-</sub>が問題となる。この電流の出力先がないと、MOSFET M3のドレイン電圧を変化させることでこの電流を吸収しようとするため、反転出力端子o<sub>u</sub>t-の電圧は大きく変動し、回路のバランスを保てなくなる。このような場合には、通常、反転出力端子o<sub>u</sub>t-と非反転出力端子o<sub>u</sub>t+との間に容量を挿入した差



## 5

動出力方式が用いられるが、本発明のフィルタ回路では差動増幅回路をシングルエンド出力とする必要があった。そこで、本実施例の差動増幅回路では、非反転入力端子 (in+) と反転出力端子 (out-) とを結合して、反転出力端子 (out-) から出力される非反転出力端子と逆向きの電流 (I<sub>out</sub>) を、非反転入力端子 (in+) から吸収させるように構成している。

【0016】次に、バイアス回路BIASについて説明する。本実施例の差動増幅回路におけるバイアス回路BIASは、電源電圧VDDと接地電位との間に直列接続されたMOSFET MB0, MB1と、同じく電源電圧VDDと接地電位との間に直列接続されたMOSFET MB2, MB4とから構成されており、接地電位側のMOSFET MB1はゲート・ドレインが結合されてそのドレイン電圧がMB1とMB4および差動増幅段OTAの上記定電流用MOSFET M5のゲート端子に印加され、カレントミラー回路を構成している。

【0017】また、バイアス回路BIASのMOSFET MB2はゲート・ドレインが結合されたダイオード接続形態とされ、そのドレイン電圧が差動増幅段OTAの上記定電流型負荷MOSFET M1, M2のゲート端子に印加されている。そして、バイアス回路BIASのMOSFET MB0のゲートにG<sub>m</sub>制御用コントロール電圧V<sub>c</sub>が供給され、V<sub>c</sub>のレベルに応じたバイアス電流が定電流用MOSFET M1, M2, M5に流されることにより、差動増幅段OTAのG<sub>m</sub>が制御されるように構成されている。

【0018】具体的には、G<sub>m</sub>制御用コントロール電圧V<sub>c</sub>のレベルが高くなるとMOSFET MB0の電流が減少して、カレントミラー接続されたMB1, MB4およびM5のゲート電圧が下がり、差動増幅段のバイアス電流が減少される。一方、コントロール電圧V<sub>c</sub>のレベルが低くなるとMOSFET MB0の電流が増加して、カレントミラー接続されたMB1, MB4およびM5のゲート電圧が上昇し、差動増幅段のバイアス電流が増加される。

【0019】さらに、この実施例では、電源電圧VDDが1.5Vのような低い値に設定されていても、0.9V~1.22Vのような入力信号V<sub>in</sub>に対して、入力差動MOSFET M3, M4が非飽和にならないようにするバイアス電圧が、上記バイアス回路BIASで形成されて、定電流型負荷MOSFET M1, M2のゲートに印加されるように構成されている。その結果、0.8μmアナログデジタルプロセス用モデルパラメータを用いた回路シュミレーションで、本実施例の回路方式による歪は、電源電圧1.5V、入力信号1.05±0.15V、入力周波数10.5kHzとした1次フィルタ（カットオフ周波数f<sub>c</sub>=30kHz）において、0.12%にすることができることが分かった。

【0020】ところで、本実施例の差動増幅回路におい

## 6

て、MOSFET M1, M2, M5を理想の電流源と仮定したときの歪は0.02%である。従って、上記シュミレーションによる歪0.12%は、入出力信号の変化に伴ってM1, M2, M5のドレイン電圧が変動し、チャネル長変調効果によって電流が変化するため発生していると考えられる。そこで、この実施例では、上記MOSFET M1, M2およびM5のチャネル長を6μm程度に設定することにより、チャネル長変調効果によるドレイン電圧の変動を抑制し、差動増幅回路の出力歪を小さくするようにした。

【0021】図3に差動増幅回路の歪とMOSFET M5のチャネル長との関係を示す。ただし、図3は、MOSFET M5に同じ大きさの電流が流れるように、そのチャネル幅と長さとの比W/Lを一定にして、測定を行なった結果である。従来からMOSFETのチャネル長変調効果はチャネル長を長くすることで低減できることが知られている。しかるに、本発明者の研究により差動増幅回路にあっては、図3に示されているように、出力歪はMOSFET M5のチャネル長が6μm程度のときに最小となり、それ以上では逆に劣化することが明らかにされた。これは、チャネル長を大きくすると、チャネル長変調効果による電流誤差の振幅は小さくなるが、図1の回路のノードN2に付加される寄生容量C<sub>s</sub> (M5のドレイン容量) も増大し、寄生容量C<sub>s</sub>に流れる電流による電流誤差が増大するためである。このことから、図1の差動増幅回路にあっては、MOSFET M3, M4, M5としてβ (チャネルコンダクタンス) の大きなNチャネル型を使用するのが有利であることが分かる。

【0022】図4および図5には、本発明に係るG<sub>m</sub>制御可能な差動増幅回路と、これを使用したOTA-Cフィルタの第2の実施例が示されている。図4において、図1の回路と同一符号が付されている素子は同一の素子を示す。この実施例の差動増幅回路は、図1の実施例の回路を、入力信号の変化に合わせて定電流用MOSFET M5の電流を補償するように改良することによって、さらに低歪化を図ったものである。すなわち、図1の回路にあっては、入力電圧が下がるとそれに伴ってノードN2の電位が下がり、MOSFET M5の電流が減少し、入力電圧が上がるとそれに伴ってノードN2の電位が上がり、MOSFET M5の電流が増加してしまう。そこで、図4の回路では、上記MOSFET M5の電流増減分を補うように、M5のゲート電圧を上下させて電流を一定に保てるようにバイアス回路BIASが改良されている。

【0023】すなわち、差動増幅段OTAの定電流用MOSFET M5に、バイアス回路BIASに設けられたMOSFET MB11がカレントミラー接続されており、コントロール電圧V<sub>c</sub>に応じた電流が流されるMOSFET MB11には、電源電圧VDDと接地電位と

## 7

の間に直列接続されたMOSFET MB5, MB6, MB7列の中のMB7が、MB4と共にカレントミラー接続されている。また、電源電圧VDDと接地電位との間に直列接続されたMOSFET MB2とMB4との間には、そのゲート端子に入力信号を受けるようにされたMOSFET MB3が設けられている。そして、MOSFET MB2には、そのソース端子が電源電圧VDDに接続されたMOSFET MB8がカレントミラー接続され、このMOSFET MB8のドレイン端子と接地電位との間には上記MOSFET MB6とカレントミラー接続されたMOSFET MB9が接続されている。また、上記MOSFET MB8のドレイン端子には、上記MOSFET MB11と直列接続されたMOSFET MB10のゲート端子が接続されている。

【0024】さらに、上記MOSFET MB5には、MOSFET MB12とMB15がカレントミラー接続され、このうちMOSFET MB12のドレイン端子と接地電位との間には、上記MOSFET MB3のソース電圧をゲート端子に受けるMOSFET MB13とダイオード接続のMOSFET MB14とが直列接続されている。一方、上記MOSFET MB15のドレイン端子と接地電位との間には、上記MOSFET MB5, MB6, MB7列と対照的なMOSFET列をなすダイオード接続のMOSFET MB16とMB17とが直列形態に接続されている。

【0025】また、上記MOSFET MB16には電源電圧VDDと接地電位との間に直列接続されたMOSFET MB18とMB19のうちMB18がカレントミラー接続され、上記MOSFET MB14にはMB19がカレントミラー接続されている。そして、このMOSFET MB18とMB19の接続ノードにMOSFET MB20のゲート端子が接続され、MOSFET MB20のドレイン端子と電源電圧VDDとの間にダイオード接続されたMOSFET MB21が接続されており、このMOSFET MB21に対して差動増幅段の定電流型負荷MOSFET M1, M2がカレントミラー接続されている。

【0026】次に、上記バイアス回路のうち定電流用MOSFET M5側の電流補償動作を図6を用いて説明する。この実施例では、バイアス回路に入力信号Binのモニタ端子MTが設けられ、このモニタ端子MTに、定電流用MOSFET MB4によって一定の電流が流れるようにされたMOSFET MB3のゲート端子が接続されている。これによって、MOSFET MB3は擬似入力MOSFETとして作用し、そのソース電圧は、差動増幅段のノードN2の電位（定電流用MOSFET M5のドレイン電圧）と同じ様に、入力信号Binの上下動に応じて上下するようになる。そのため、例えば入力信号Binが上昇すると、MOSFET MB3のソース電圧が上がり、ドレイン側に接続されたMOSF

## 8

ET MB2に流れる電流が増加する。その結果、MOSFET MB2とカレントミラー接続されたMOSFET MB8の電流が増加し、MB9に流れる電流も増加する。

【0027】一方、MOSFET MB9のゲートにはMB6によって常に一定の電圧が印加されているため、MOSFET MB8の電流が増加すると、MB9のゲート・ソース間電圧 $V_{gs}$ が大きくなり、MOSFET MB10のゲート電圧が上がる。その結果、MOSFET MB10およびそのドレイン側に接続されたMOSFET MB11の電流が減少し、MB11とカレントミラー接続されたMOSFET M5の電流を減少させるように作用し、ノードN2の電位の上昇によりチャネル長変調効果で増加しようとするMOSFET M5の電流を補償することができる。入力信号Binが下がった場合には、上記とは逆にノードN2の電位の効果により減少しようとするMOSFET M5の電流を増加させるようにバイアス回路が動作する。

【0028】図5の実施例における定電流型負荷MOSFET M1, M2側の電流補償動作は、ほぼ上記と同一であり単に電位関係が逆になっている。すなわち、MOSFET MB4, MB7に相当するのが、MOSFET MB12, MB15であり、MOSFET MB2, MB8に相当するのがMOSFET MB14, MB19で、MOSFET MB9, MB10, MB11に相当するのがMOSFET MB18, MB20, MB21、またMOSFET MB3に相当するのがMOSFET MB13で、特に制限されないが、入力信号BinよりもMB3の $V_{th}$ 分だけ低い電位がMOSFET MB13のゲート端子にモニタ入力として印加され、MB13の動作範囲が広くされている。

【0029】従って、図5のバイアス回路では、例えば入力信号Binが上昇すると、MOSFET MB13のゲート電圧が上がり、ドレイン側に接続されたMOSFET MB14に流れる電流が減少する。その結果、MOSFET MB14とカレントミラー接続されたMOSFET MB19の電流が減少し、MB18に流れる電流も減少する。そして、MOSFET MB19の電流が減少すると、MB18のゲート・ソース間電圧 $V_{gs}$ が小さくなり、MOSFET MB20のゲート電圧が上がる。その結果、MOSFET MB20およびそのドレイン側に接続されたMOSFET MB11の電流が増加し、MB21とカレントミラー接続されたMOSFET M1, M2の電流を増加させるように作用し、出力電圧 $out-$ ,  $out+$ の上昇によりチャネル長変調効果で減少しようとするMOSFET M1, M2の電流を補償することができる。入力信号Binが下がった場合には、上記とは逆に出力電圧 $out-$ ,  $out+$ の降下により増加しようとするMOSFET M5の電流を減少させるようにバイアス回路が動作する。



【0030】以上説明したように、上記バイアス回路では、定電流用MOSFET M5のドレインと同じようにMB4のドレイン電圧を変動させ、その電流変動をMB2からMB8にカレントミラー回路を利用して伝えるとともに、MOSFET MB9は定電圧によってバイアスするようにしている。そのため、MOSFET MB9のソースすなわちMB10のゲート電位は、MB4のドレイン変動による電流変動分だけ逆方向に変動し、これをMOSFET MB11を通して定電流用MOSFET M5のゲートに供給している。その結果、上記バイアス回路による定電流用MOSFET M5の電流変動は、0.2%に低減される。定電流型負荷MOSFET M1, M2についても電流補償するようにした図5の差動増幅回路を適用した1次フィルタにおける歪は、0.024%に改善することができる。

【0031】図7には、OTA-Cフィルタに使用して好適なGm制御可能な差動増幅回路の他の実施例が示されている。図7の差動増幅回路は、クロスカップル方式と呼ばれる線形性の優れたGmを有する差動増幅回路をOTA-Cフィルタに適するように改良したものである。クロスカップル方式の差動増幅回路は、ソース共通接続された2組のMOSFET対Q1, Q2とQ3, Q4のドレインを交差的に共通接続し、その共通ドレインには定電流源I0をそれぞれ接続すると共に、Q1とQ3のゲート端子およびQ2とQ4のゲート端子に、それぞれ直流レベルがVB分だけ異なる信号を入力させるようにしたもので、Gmがバイアス電流Idに依存しないという特徴を備えている。そのため、共通ソースに接続される定電流源I0を構成するMOSFETのW/L（ゲート幅とゲート長との比）を予め大きな値に設計しておくことにより、高周波の入力によって出力電流Ioutが増大しても歪を発生しないようにすることができる。

【0032】ところが、従来のクロスカップル方式の差動増幅回路はVB発生用のMOSFETのしきい値電圧の変動によってMOSFET Q1, Q2, Q3, Q4のゲート電圧が変動するため、全てのMOSFETが飽和動作する入力振幅が小さくなってしまい、低電圧フィルタには不向きであった。図7の実施例のクロスカップル方式の差動増幅回路では、差動MOSFET Q1, Q2, Q3, Q4の前段に、ダイオード接続されたレベルシフト用のMOSFET Q5, Q6, Q7, Q8をそれぞれ設けておき、ソースフォロワ型の入力MOSFET Q11, Q12で入力信号をシフトアップした後、同じ特性のMOSFETでシフトダウンして差動MOSFET Q1, Q2, Q3, Q4に入力させるようにしている。

【0033】つまり、ゲートに入力信号Bin+ (Bin-)が入力されたMOSFET Q11 (Q12)のソース電圧を、ダイオード接続のMOSFET Q5, Q6

(Q7, Q8)のソース端子に入力し、そのゲート端子から出力を取り出して差動MOSFET Q1, Q2

(Q3, Q4)のゲート端子に入力させている。この実施例の回路では、MOSFET Q5とQ6のレベルダウン量の差およびQ7とQ8のレベルダウン量の差がVBとされる。

【0034】入力MOSFET Q11, Q12およびダイオード接続のMOSFET Q5, Q6, Q7, Q8には、それぞれ定電流源が接続されており、このうちQ5とQ7には、Q11とQ12と同一の電流を流す定電流源I1が接続され、Q6, Q8には可変定電流源ICが接続されている。従って、この実施例の差動増幅回路では、可変定電流源ICの電流を調整することによって上記入力電位差VBを制御し、Gmを変えてやることことができる。一方、この実施例では、MOSFET Q5, Q6 (Q7, Q8)がソース入力でありインピーダンスが低いため、Q11 (Q12)とQ5, Q6 (Q7, Q8)との間で電流が相互に流れ込み合い、予定した電流が流れるとは限らない。そこで、実施例では、Q11 (Q12)とQ5, Q6 (Q7, Q8)のソース端子およびドレイン端子の両方にそれぞれ等しい電流源を設けて、各MOSFETに流れる電流を確定できるようにしてある。

【0035】図7の実施例では、可変定電流源ICや定電流源I0, I1, IC0のバイアス回路として、図4に示されているような電流補償型のバイアス回路を使用することにより、さらに歪を改善することが可能である。また、実施例では、差動MOSFET Q1, Q2, Q3, Q4をNチャネル型で構成し、入力MOSFET Q11, Q12およびレベルシフト用のMOSFET Q5, Q6, Q7, Q8をPチャネル型で構成しているが、それぞれ逆の導電型のMOSFETで構成することも可能である。また、上記定電流源I1, I0および可変定電流源ICはそれぞれ1個のMOSFETで構成することができる。

【0036】図8は、上記電流源I1, I0および可変定電流源ICがそれぞれ1個のMOSFETで構成された場合におけるそれぞれのゲートバイアス電圧を発生するバイアス回路の一例を示す。図8において、BIAS1は上記電流源I1, I0のバイアス電圧Vc1, Vc1'を発生するバイアス回路、BIAS2は上記可変定電流源ICのバイアス電圧Vc1, Vc1'を発生するバイアス回路であり、それぞれ図5の実施例におけるバイアス回路BIASと同一の構成を有し、チャネル長変調効果による電流の増減の補償が可能にされている。図8において、図5の実施例におけるバイアス回路BIASを構成する素子と同一の機能を有する素子には同一の符号を付して詳細な説明は省略する。なお、Gmの制御はバイアス回路BIAS1のコントロール端子への電圧Vcの調整によって行ない、バイアス回路BIAS2の

コントロール端子へは一定の電圧  $V_g$  を印加して、バイアス回路  $BIAS2$  はチャネル長変調効果による電流の増減の補償のみ行なうようになっている。

【0037】次に、温度や製造バラツキにより変化する差動増幅回路の  $G_m$  を所望の値に調整するための上記コントロール電圧  $V_c$  が自動的に得られるようにした実施例について説明する。本実施例では、図9に示されているように、本来の信号処理系に使用される  $OTA-C$  フィルタ（以下、マスタフィルタと称する）10の他に、所望の周波数を有する参照信号  $V_i$  をモニタするモニタ用フィルタ（以下、スレーブフィルタと称する）20と、このスレーブフィルタ20の出力  $V_o$  と上記参照信号  $V_i$  との位相差を検出してその位相差が所定の値（ $45^\circ$ ）となるようにフィードバックすることでスレーブフィルタ20のカットオフ周波数  $f_c$  を所望の値に調整するフィードバック信号を形成する位相差検出調整回路30とを設け、上記フィードバック信号をマスタフィルタ10の  $G_m$  制御用コントロール電圧  $V_c$  として供給するようにしたものである。

【0038】この実施例においては、マスタフィルタ10を構成する  $OTA$ （ $G_m$ 調整可能なアンプ）と同一構成の  $OTA$  によってスレーブフィルタ20を構成することにより、 $G_m$  やその温度特性、容量の製造バラツキは同一半導体チップ内ではほぼ同一になるという半導体集積回路の性質から、マスタフィルタ10のカットオフ周波数  $f_c$  をスレーブフィルタ20の  $f_c$  と一致させて所望の周波数に調整できるようになる。

【0039】図10は、上記スレーブフィルタ20と位相差検出調整回路30とからなるコントロール電圧発生回路の具体的回路例を示す。この実施例のコントロール電圧発生回路は、1次のローパスフィルタの位相遅延が、利得が  $-3dB$  のときの周波数で定義されるカットオフ周波数  $f_c$  において  $45^\circ$  であること（図17参照）を利用して、所望の周波数を有する参照信号  $V_i$  を、 $OTA21$  と容量22とからなるスレーブフィルタ20に入力し、その出力  $V_o$  と参照信号  $V_i$  との位相差を位相差検出調整回路30で検出して、その位相差が  $45^\circ$  となるようにフィードバック信号（ $V_c$ ）を発生させるものである。

【0040】そのためこの実施例では、位相差検出調整回路30を、スレーブフィルタ20の出力  $V_o$  と参照信号  $V_i$  とを矩形波（パルス）に変換するコンパレータ31、32と、これらの出力パルスを入力としその位相差を応じたデューティ比を有するパルス  $V_d$  を形成するイクスクルーシブ  $OR$  ゲート33と、その出力パルス  $V_d$  とデューティ比が25%の理想パルス信号  $V_r$  との差を積分する積分器（ $OTA34$  と容量35）とによって構成してある。

【0041】この実施例のコントロール電圧発生回路では、スレーブフィルタ20のカットオフ周波数  $f_c$  が参

照信号  $V_i$  の周波数  $f_i$  と一致（ $f_c = f_i$ ）していれば、スレーブフィルタ20の出力  $V_o$  は、前述のように、位相が  $45^\circ$  遅れているはずであるから、 $OR$  ゲート33の出力  $V_d$  は、図11に示すように、周波数が入力参照信号  $V_i$  の2倍でデューティ比が25%すなわち  $1/4$  の波形となる。一方、上記スレーブフィルタ20を構成する  $OTA21$  の  $G_m$  が所望の値でないときは、そのカットオフ周波数  $f_c$  が参照信号  $V_i$  の周波数  $f_i$  と一致しなくなるので、 $OR$  ゲート33の出力パルス  $V_d$  はデューティ比が25%でなくなる。このパルス  $V_d$  とデューティ比が25%の理想パルス信号  $V_r$  との差を積分器によって積分しているため、 $f_c > f_i$  であれば、位相遅延は小さいのでパルス  $V_d$  のデューティは小さくなって積分値すなわち出力電圧は増加する。

【0042】また、 $f_c < f_i$  であれば、位相遅延は大きいのでパルス  $V_d$  のデューティは大きくなって積分値すなわち出力電圧は減少する。この出力電圧（コントロール電圧  $V_c$ ）によって、スレーブフィルタ20を構成する  $OTA21$  の  $G_m$  が調整され、コントロール電圧  $V_c$  が下がるとスレーブフィルタ20のカットオフ周波数  $f_c$  が高くなり、コントロール電圧  $V_c$  が上がるとカットオフ周波数  $f_c$  が低くなるように負帰還がかかるため、定常状態では  $f_c = f_i$  となるように自動的に調整される。このコントロール電圧  $V_c$  がマスタフィルタ10に供給されるため、マスタフィルタ10のカットオフ周波数  $f_c$  も参照信号  $V_i$  の周波数  $f_i$  と等しく制御されることとなる。さらに、理想パルス信号  $V_r$  のデューティ比を変えることによって、自動調整後のカットオフ周波数を任意に設定することもできる。

【0043】この実施例のコントロール電圧発生回路においては、安定な出力電圧  $V_c$  を得るために積分器の時定数をスレーブフィルタ20の時定数に比べて大きくする必要がある。しかし、定常状態への収束は積分器の時定数が小さい方が速い。そこで、この実施例では、積分器を構成する  $OTA34$  のコントロール電圧  $V_c2$  を制御することによって、過渡期は  $OTA34$  の  $G_m$  を大きくして積分器の定数を下げ、過渡期は  $OTA34$  の  $G_m$  を小さくして積分器の定数を上げることができるようにしている。

【0044】なお、同一半導体チップ上に信号処理系すなわちマスタフィルタが2つ以上ある場合には、上記実施例のコントロール電圧発生回路を2つのマスタフィルタに共通に設け、1つのコントロール電圧発生回路からのコントロール電圧  $V_c$  を2つのマスタフィルタに供給するように構成することができる。この実施例のコントロール電圧発生回路は、ループ内に積分器が1つだけであるため、系の動作が安定するとともに、 $OTA21$ 、34やコンパレータ31、32にオフセットが生じていても積分値は一定であり、精度に影響しないという利点がある。



【0045】図12は、本発明に係るOTA-Cフィルタの他の実施例を示す。図12のフィルタ回路は、3次のバターワース・ローパスフィルタに適用したものであり、OTA1, OTA2, OTA3はそれぞれ図5に示されている差動増幅段OTAと同一の回路構成を有するGm制御可能な差動増幅回路で、その定電流用MOSFET M5に対するバイアス電圧VGNおよびM1, M2に対するバイアス電圧VGPが、共通の電流補償型バイアス回路BIASからそれぞれ供給されるように構成されている。差動増幅段OTA1, OTA2の反転出力端子は、インピーダンスの低い入力端子Vinに、また差動増幅段OTA3の反転出力端子は、インピーダンスの低いOTA3の入力端子に接続される。

【0046】ところで、図12のフィルタ回路は、図14に示すSallen-Key型のローパスフィルタにおける抵抗R1, R2, R3をOTA (Gm制御可能な差動増幅回路) で置き換えたOTA-Cフィルタをさらに改良したものである。すなわち、図14に示すSallen-Key型のフィルタにおける抵抗R1, R2, R3を単にOTAで置き換えると、図15に示すような回路となる。ここで、抵抗R2が2個のOTAで置き換えられているのは、抵抗R2には容量C1を充電する電流I1が流れる場合と容量C2を充電する電流I2が流れる場合とがあるため、容量C1の充放電用アンプOTA2と容量C2の充放電用アンプOTA4とが必要とされるからである。しかるに、図14の回路において、容量C1, C2, C3の容量比を適切に選択(3次のバターワースの場合はC1=C2=C3)することにより、同図のアンプOTA4を省略しても同一の伝達関数が得られることが分かった。そこで、本発明者は、図12の実施例のような改良型のOTA-Cフィルタを考案した。

【0047】従来のOTA-Cフィルタでは、完全差動型アンプが使用されており、その場合、反転入力端子と非反転入力端子との間に大きな電圧がかかるため、OTAの電圧/電流変換特性の線形性がそのままフィルタの線形性となり、OTAには非常に高い線形性が要求されていた。これに対し、上記実施例のOTA-Cフィルタでは、シングルエンド出力のアンプが使用されているため、OTAにはそれほど高い線形性が要求されないという利点がある。

【0048】なお、図12のOTA-Cフィルタでは、アンプOTA1, OTA2, OTA3に対して、共通の電流補償型バイアス回路BIASからそれぞれバイアス電圧VGNおよびVGPを供給するように構成したが、アンプOTA3の入力電圧はOTA1やOTA2の入力電圧とレベルが異なる。そこで、図13に示すように、別個の電流補償型バイアス回路BIAS1, BIAS2を設けて、それぞれの入力電圧に応じて電流補償したバイアスVGNおよびVGPを供給するように構成することによって、より歪を少なくすることができる。

【0049】図16には、図14に示されているフィルタ回路(ローパスフィルタ)の応用例としての無線通信システムが示されている。同図において、50はマイクロホンMPとスピーカSPKに接続され音声信号と電気信号との間の変換およびアナログ信号とデジタル信号との間の変換を行なう音声コーデック、60は時分割処理や誤り訂正の符号の生成およびチェック、送受信フレームの組立ておよび解析等を行なうチャンネルコーディング回路、70は送受信信号の変調、復調を行なうモデム(変復調回路)である。

【0050】上記音声コーデック50は、ローパスフィルタ51, 52と、A/D変換器53、D/A変換器54と、入力音声信号の圧縮を行なうコーダー55と、音声出力の伸長を行なうデコーダー56等から構成されている。また、上記モデム70は、ローパスフィルタ71, 72と、D/A変換器73、A/D変換器74と、変調器75、復調器76等から構成されている。特に制限されないが、上記音声コーデック50とチャンネルコーディング回路60とモデム(変復調回路)70は、各々1つの半導体チップ上に形成されてそれぞれが半導体集積回路化されている。なお、図16において、80は送信用のパワーアンプ、キャリア信号を発生するシンセサイザ、送受信信号に上記キャリア信号を合成する加算器等からなる高周波部、81は送受信用のアンテナである。

【0051】この実施例では、上記ローパスフィルタ51, 52や71, 72として、図14に示されているフィルタ回路が使用されており、音声コーデック50やモデム70内には、上記各ローパスフィルタ51, 52や71, 72を構成するOTA (Gm制御可能な差動増幅回路) のトランスコンダクタンスGmを制御するためのコントロール電圧Vcを発生する図10のようなVc発生回路からなるGm制御回路57, 77が設けられている。

【0052】しかも、Gm制御回路57はローパスフィルタ51と52に対して共通に設けられ、Gm制御回路77はローパスフィルタ71と72に対して共通に設けられている。同一半導体チップ上の容量素子や抵抗素子の比は比較的精度良く形成できるため、Gm制御回路57や77を同一チップ上の複数のフィルタ回路に対して共通に設けてもそれぞれのOTAのGmさらにはフィルタのカットオフ周波数を精度良く一定に制御することができる。また、実施例のようにGm制御回路を共通化することにより、占有面積の増加を抑えることができる。

【0053】以上説明したように、上記実施例は、OTA-Cフィルタに使用されるGm制御可能なアンプとして、基本差動増幅回路の入力差動MOSFETのドレインに接続された負荷MOSFETのゲートにバイアス回路からの定電圧を印加して定電流源化するとともに、回路の反転出力端子を入力端子に結合してやるようにした



ので、入力差動MOSFETの負荷MOSFETが定電流源化されるため、入力差動MOSFETのドレイン電圧が負荷MOSFETのしきい値電圧に依存しなくなり、電源電圧を1.5V程度に低くしても入力信号が上昇したときに入力差動MOSFETが非飽和になるのを防止することができ、低電圧化することができる。しかも、反転出力端子が入力端子と結合されているので、反転出力端子から出力される非反転出力端子と逆向きの電流を非反転入力端子から吸収させることができ、これによって回路のバランスを容易に保つことができるという効果がある。

【0054】さらに、基本差動増幅回路には、入力電圧をモニタしてそのレベルに応じたバイアス電圧を発生し、それを基本差動増幅回路の定電流用のMOSFETのゲートに供給することで、チャネル長変調効果による電流変動を補償させる電流補償型バイアス発生回路を具備させるようにしたので、差動増幅回路のバイアス電流が一定になり、トランスコンダクタンスを安定させ、出力の歪をより一層小さくすることができるという効果がある。

【0055】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。上記実施例では、1次のローパスフィルタおよび3次のローパスフィルタの例を示したが、本発明は2次のローパスフィルタや4次以上のローパスフィルタにも適用することができる。さらに、本発明は、バンドパスフィルタやハイパスフィルタにも利用することができる。

#### 【0056】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、低電圧・低消費電力で低歪かつ周波数偏差の少ないフィルタ回路を実現することができる。

#### 【図面の簡単な説明】

【図1】本発明に係るGm制御可能な差動増幅回路の一実施例を示す回路図、

【図2】図1の差動増幅回路を用いた1次のローパスフィルタの例を示す回路構成図、

【図3】図1の差動増幅回路における歪のチャネル依存性を示すグラフ、

【図4】本発明に係るGm制御可能な差動増幅回路の第2の実施例を示す回路図、

【図5】本発明に係るGm制御可能な差動増幅回路の第3の実施例を示す回路図、

【図6】図4の差動増幅回路におけるバイアス回路の動作を説明するための回路図、

【図7】本発明に係るGm制御可能な差動増幅回路の第4の実施例を示す回路図、

【図8】図7の差動増幅回路に適したバイアス回路の一例を示す回路図、

10 【図9】本発明に係るGm制御可能な差動増幅回路を用いた1次のローパスフィルタの一実施例を示すブロック図

【図10】図9の実施例におけるコントロール電圧発生回路（スレーブフィルタおよび位相差検出調整回路）の一実施例を示す回路図、

【図11】図10の実施例における位相差検出調整回路の入出力波形を周波数との関係で示す波形説明図、

【図12】本発明に係るGm制御可能な差動増幅回路を用いた3次のローパスフィルタの一実施例を示すブロック図、

20 【図13】本発明に係るGm制御可能な差動増幅回路を用いた3次のローパスフィルタの他の実施例を示すブロック図、

【図14】従来の3次のCRローパスフィルタの一例を示すブロック図、

【図15】図14のCRローパスフィルタにおける抵抗を本発明に係るGm制御可能な差動増幅回路で単純に置き換えた場合の回路例を示すブロック図、

【図16】本発明に係るフィルタ回路の応用例としての無線通信システムの構成例を示すブロック図、

30 【図17】1次ローパスフィルタのカットオフ周波数と位相遅れとの関係を示す説明図、

【図18】従来のGm制御可能な差動増幅回路の一例を示す回路図、

【図19】図18の差動増幅回路を用いた1次のローパスフィルタの一例を示す回路構成図である。

#### 【符号の説明】

Gm トランスコンダクタンス

B I A S バイアス回路

O T A Gm制御可能な差動増幅回路

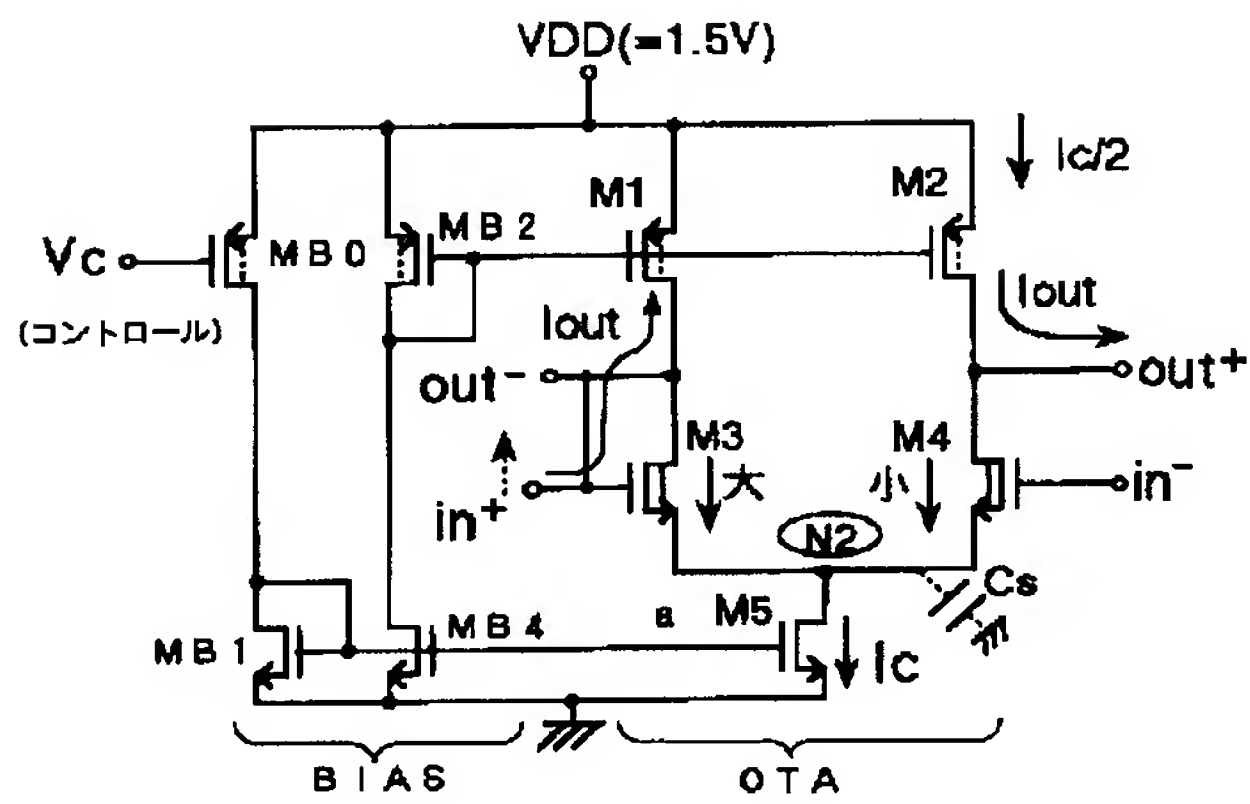
40 M1, M2 定電流型負荷MOSFET

M3, M4 入力差動MOSFET

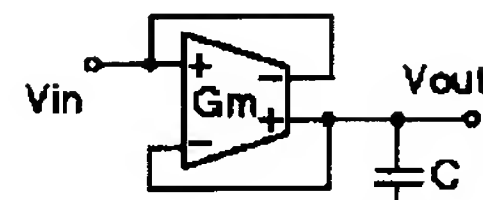
M5 定電流用MOSFET

V c Gm制御用コントロール電圧

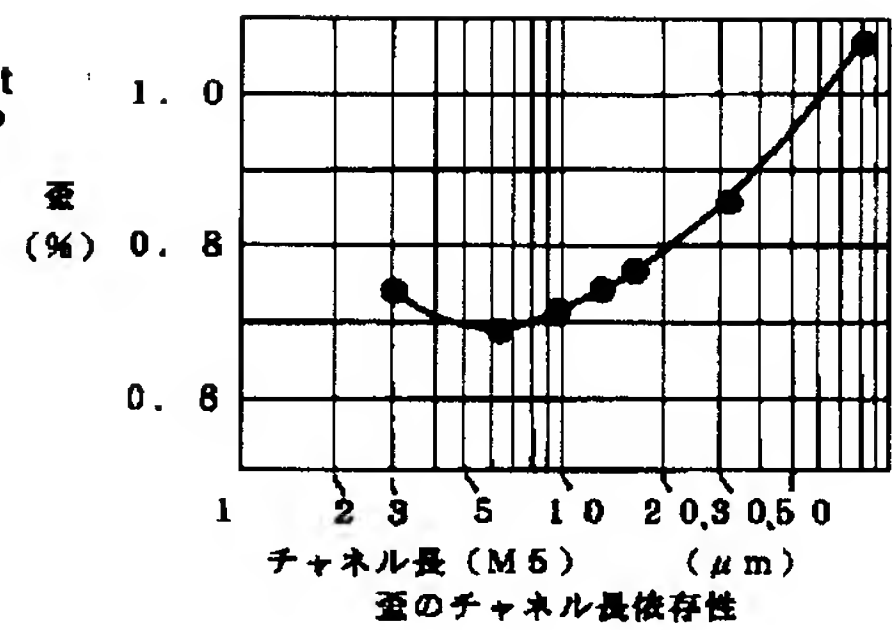
【図 1】



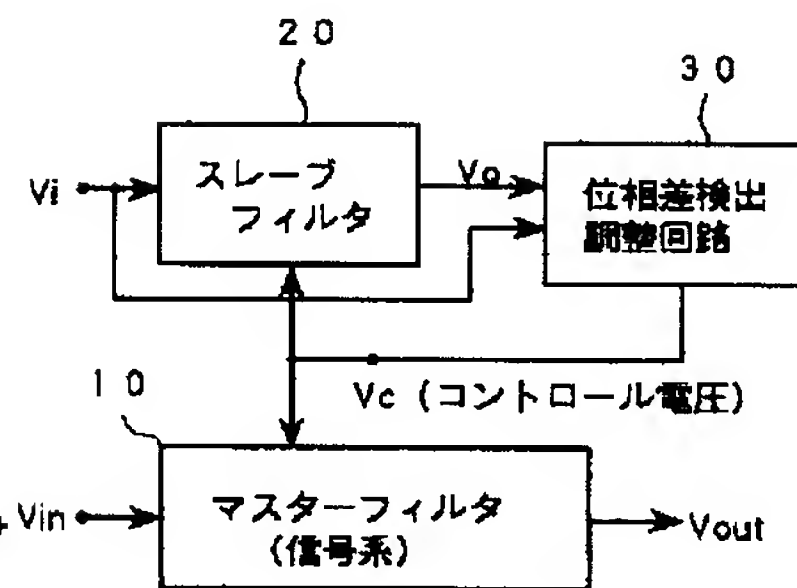
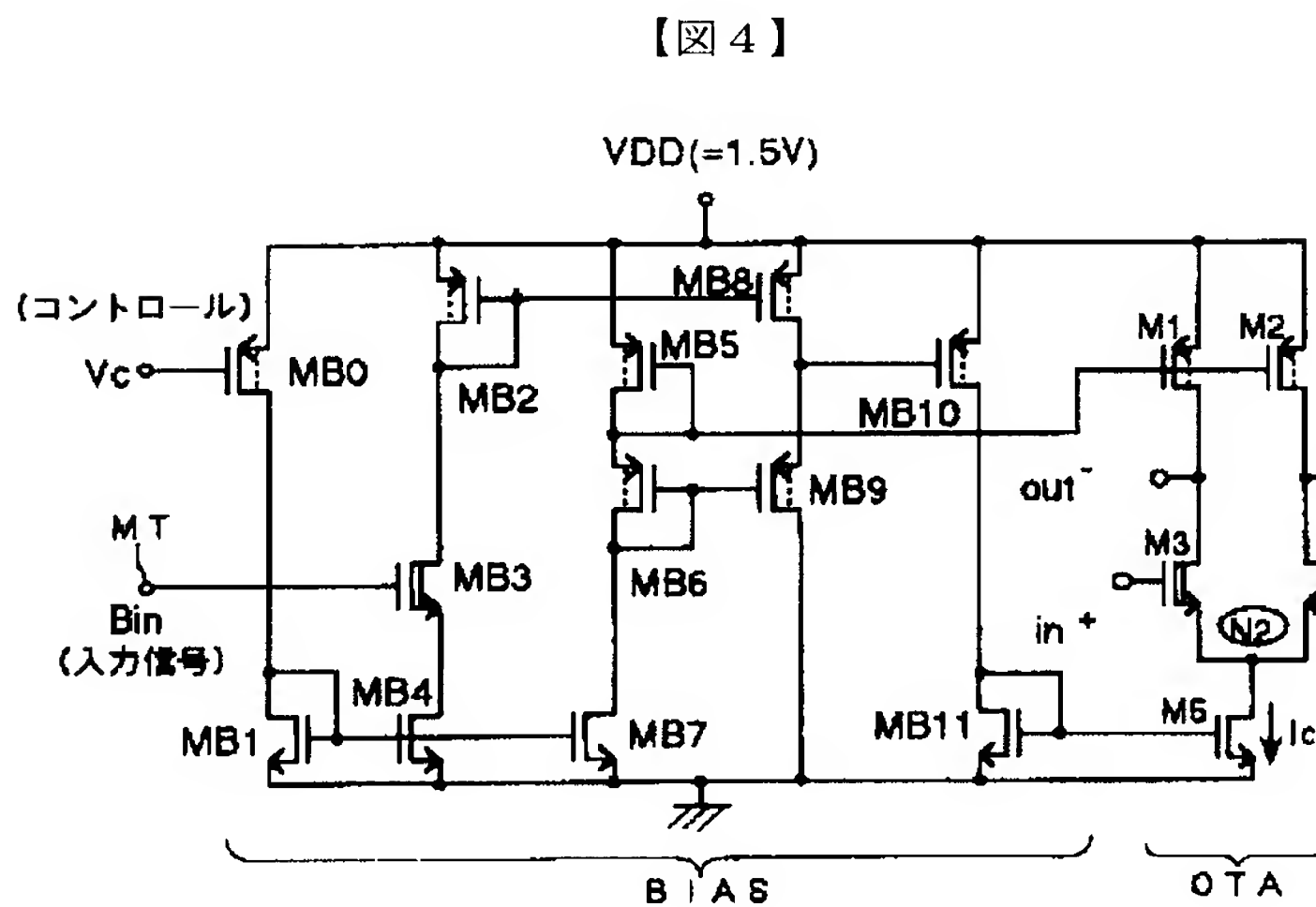
【図 2】



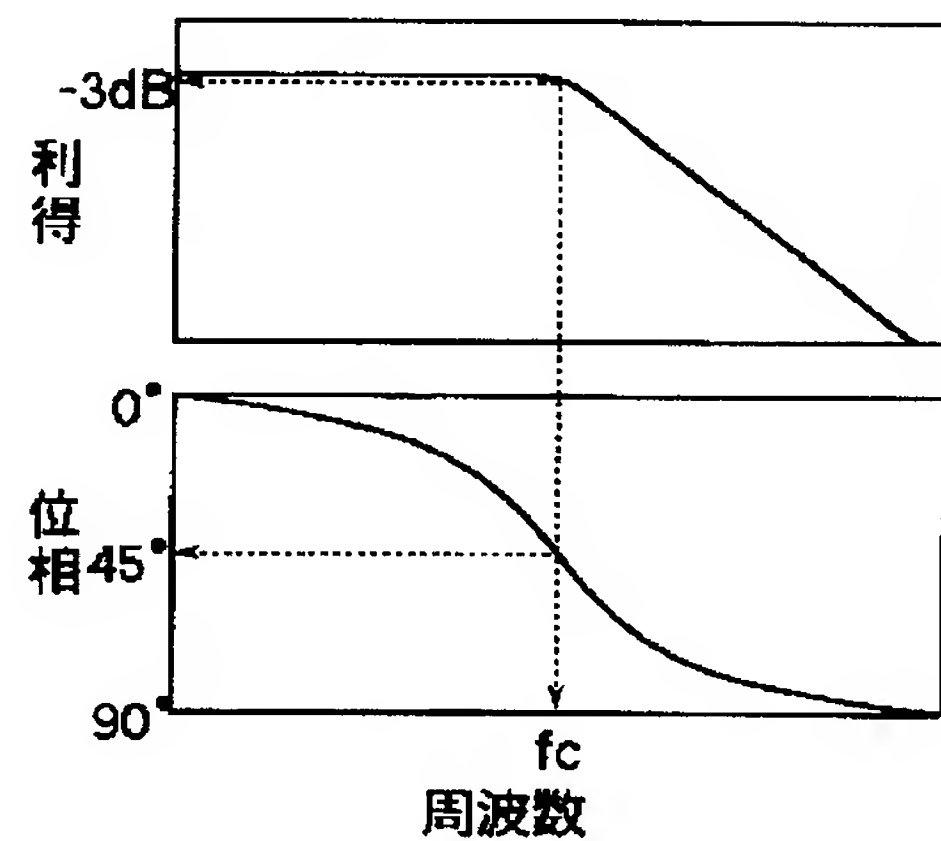
【図 3】



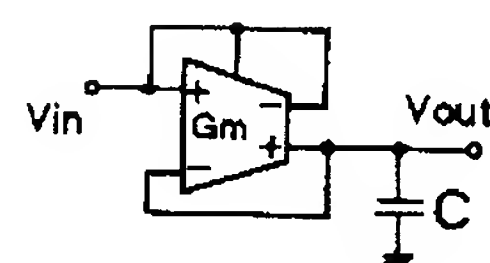
【図 9】



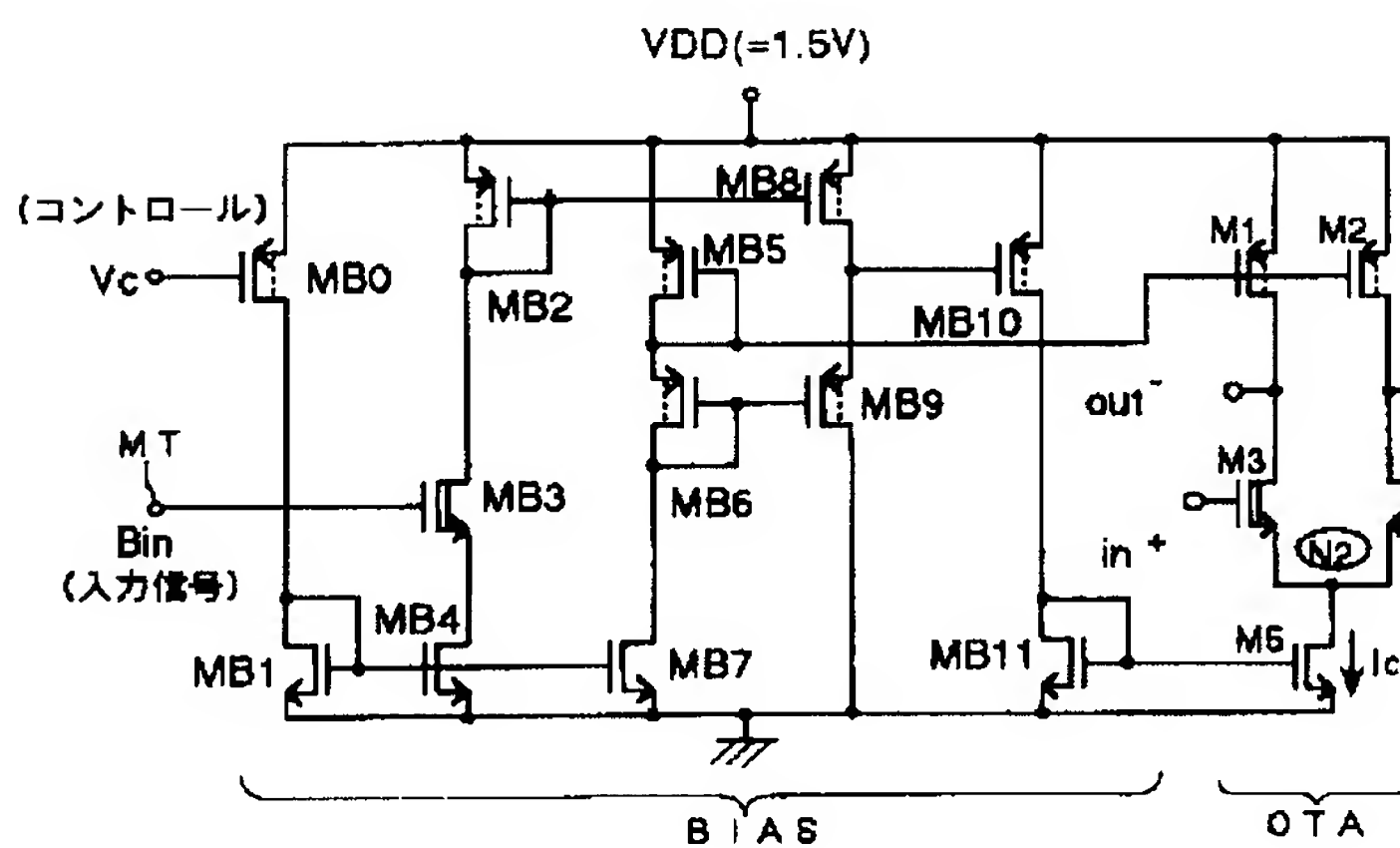
【図 17】



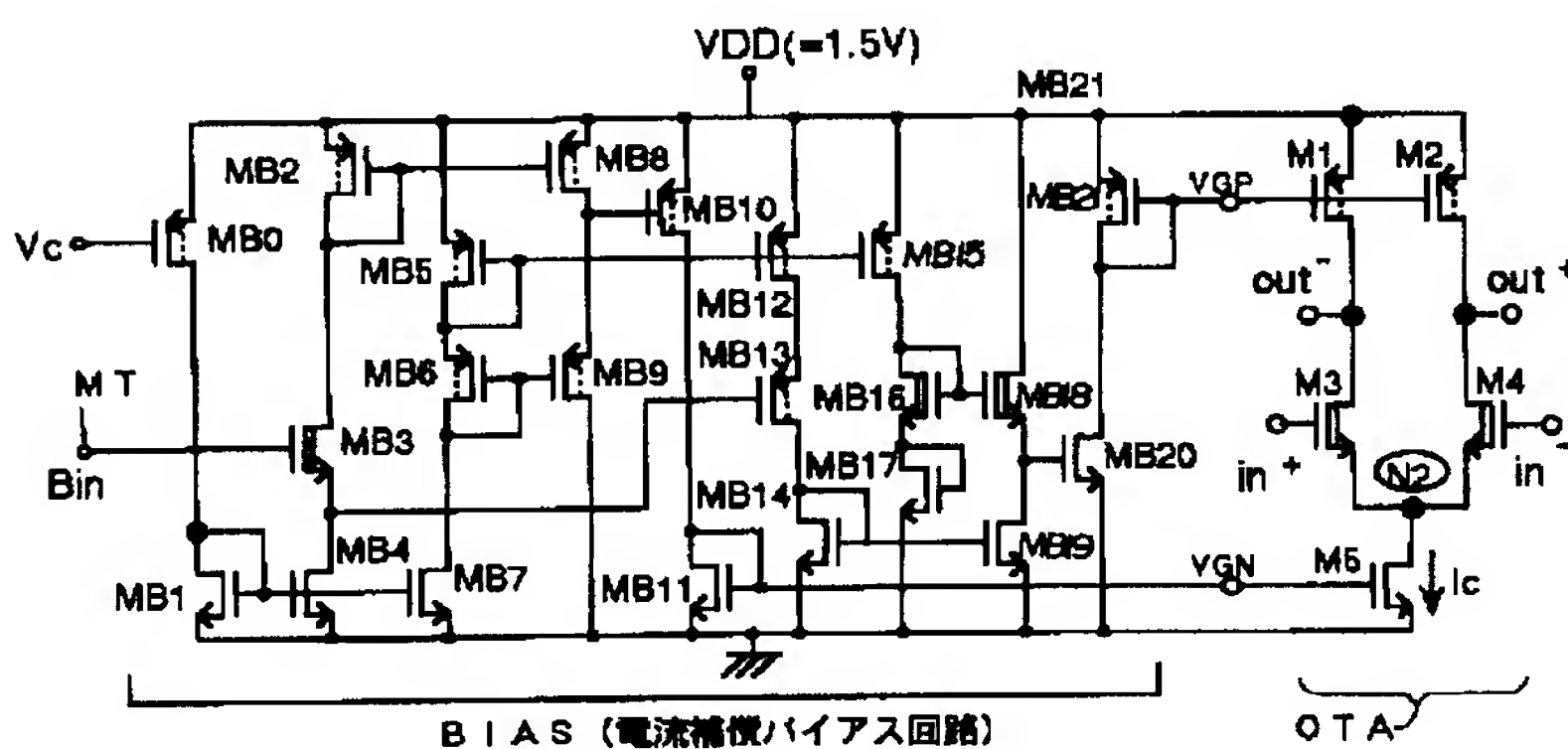
【図 19】



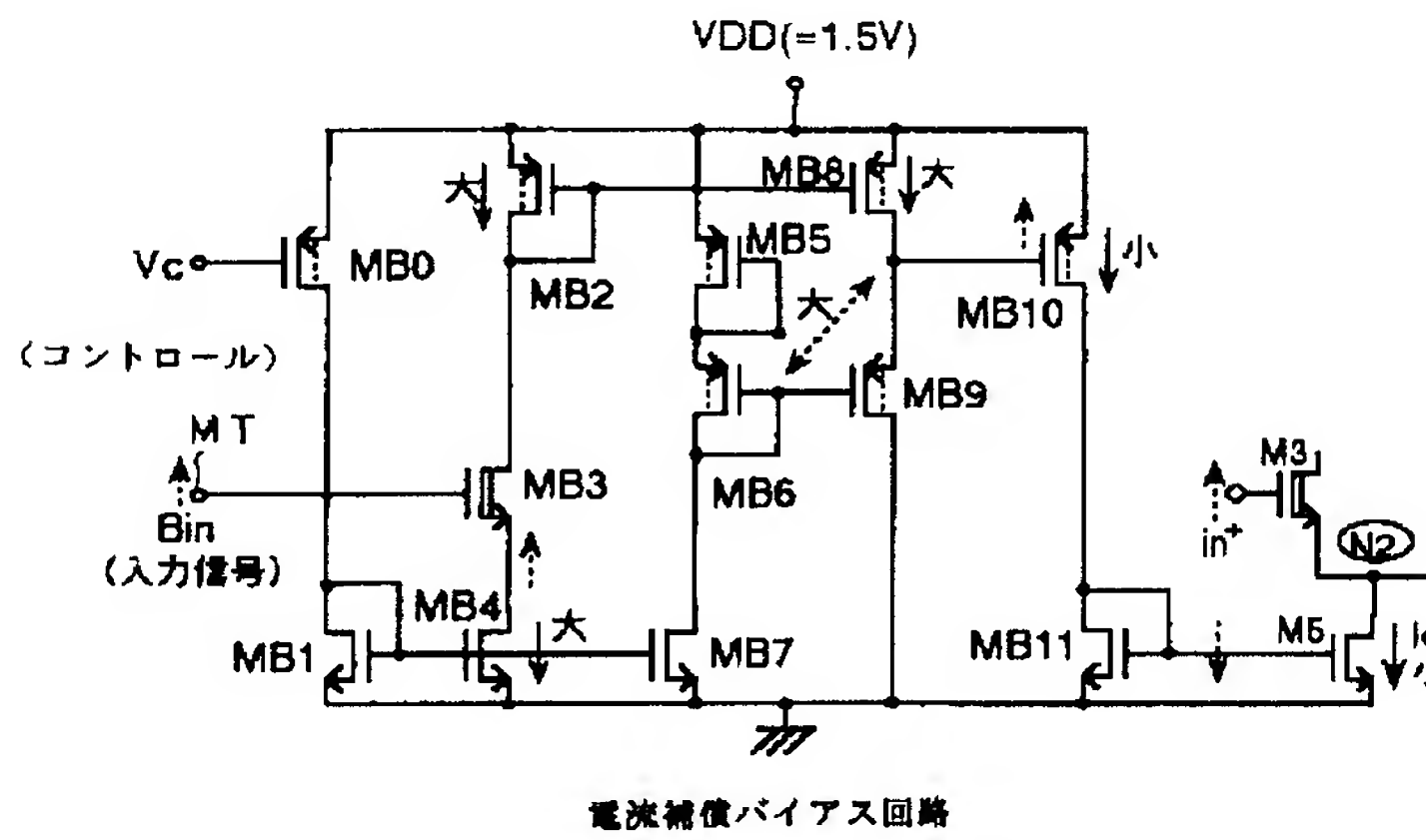
【図 4】



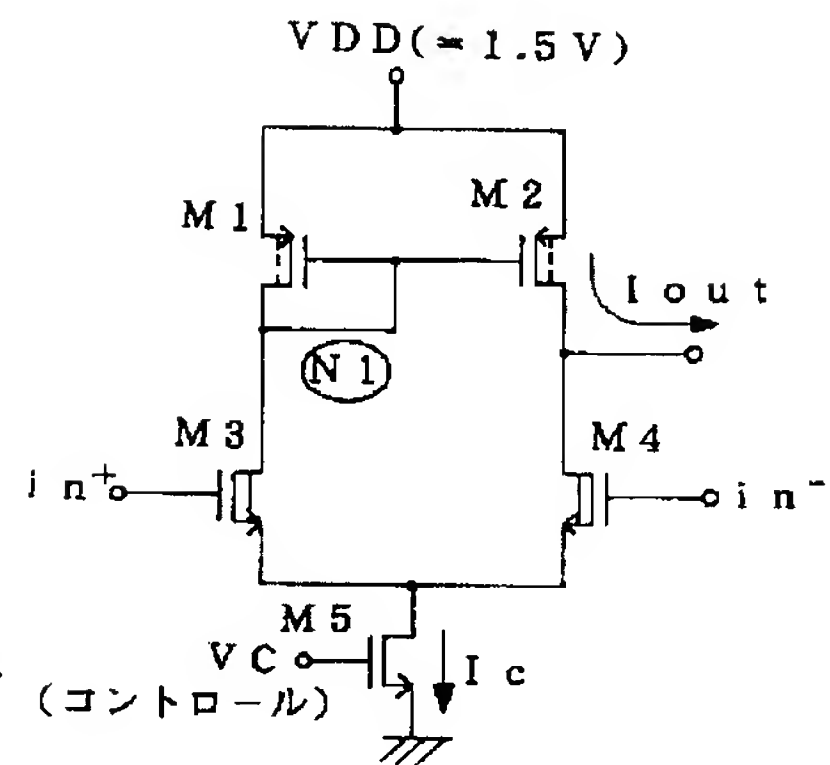
【図 5】



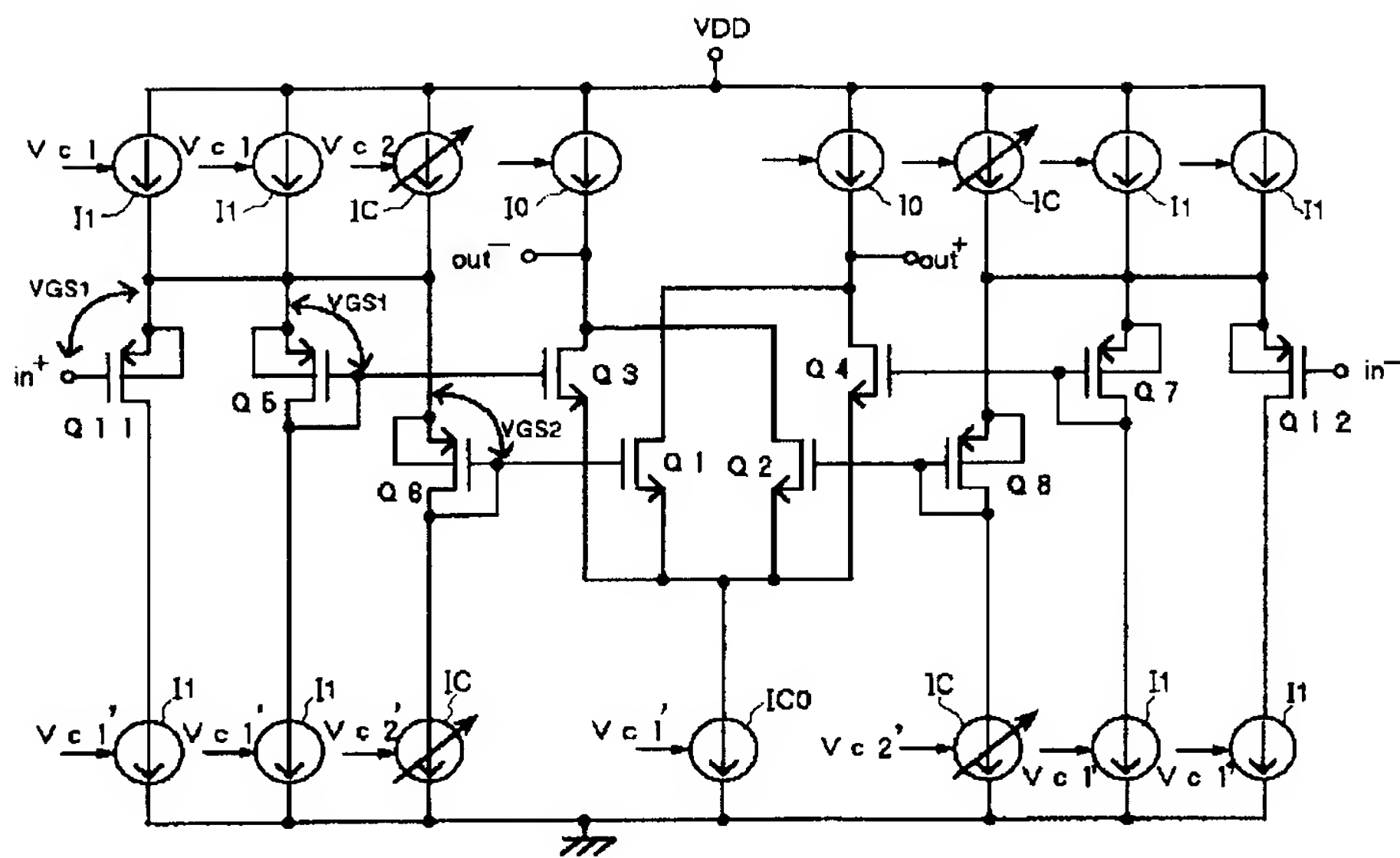
【図 6】



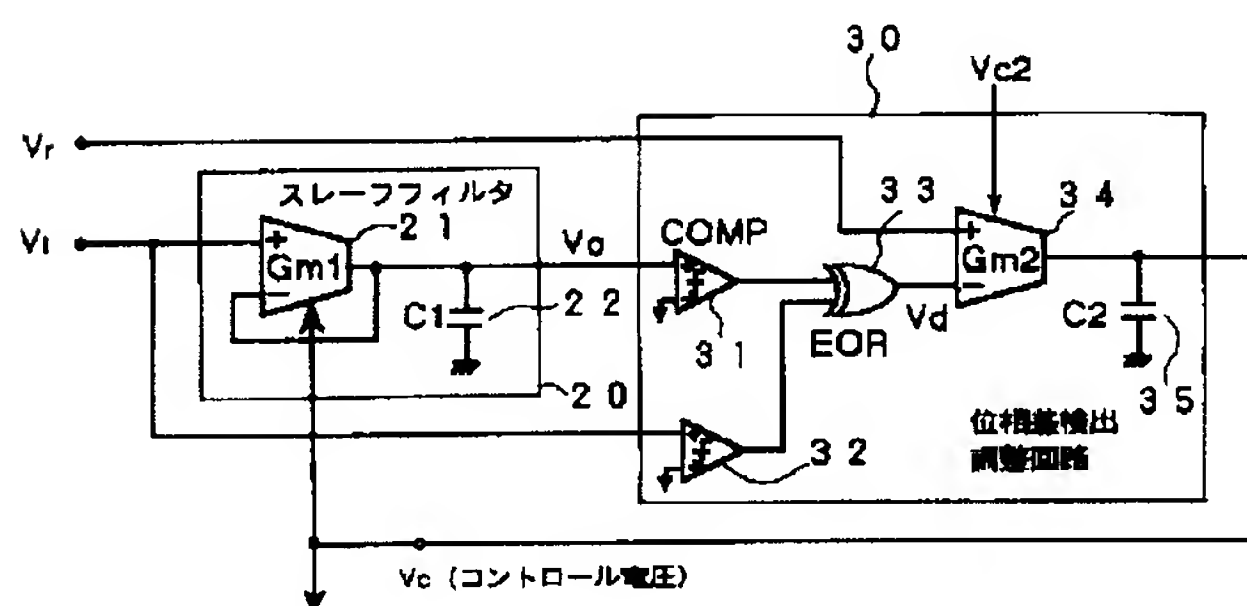
【図 18】



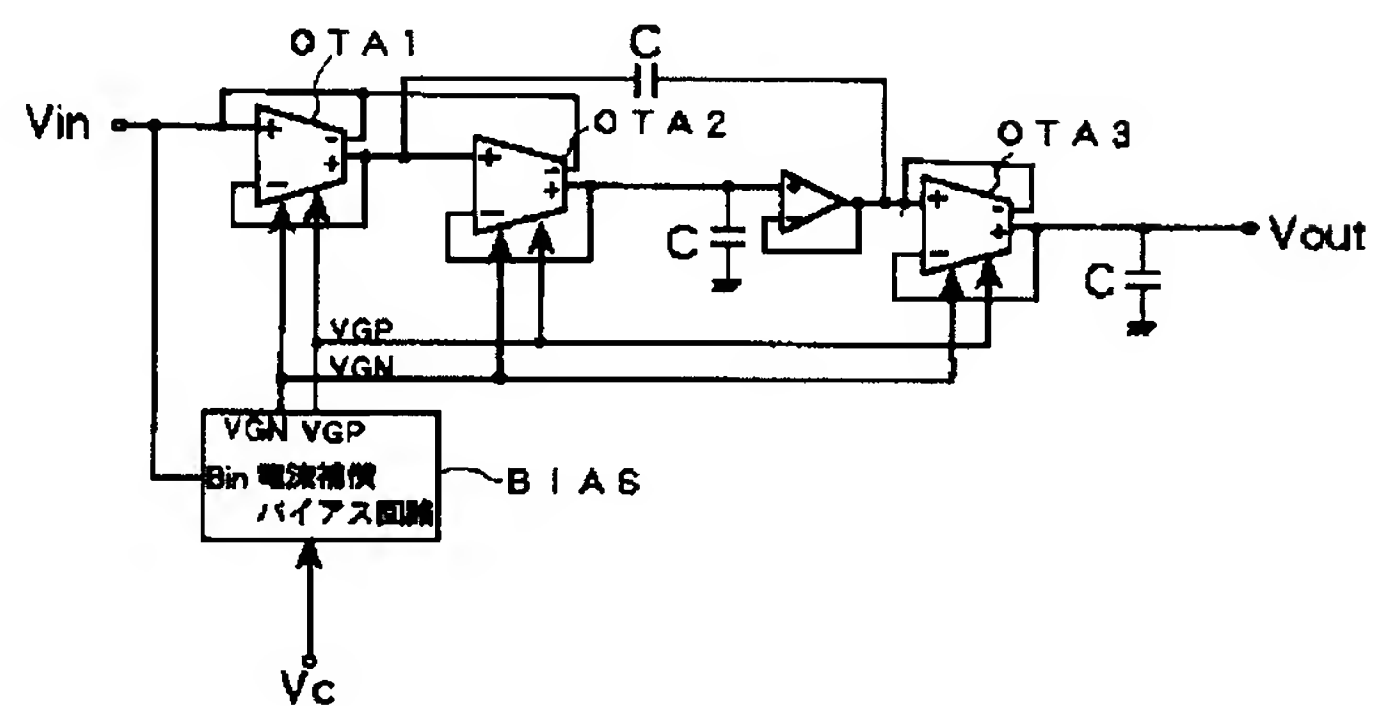
【図 7】



【図 10】

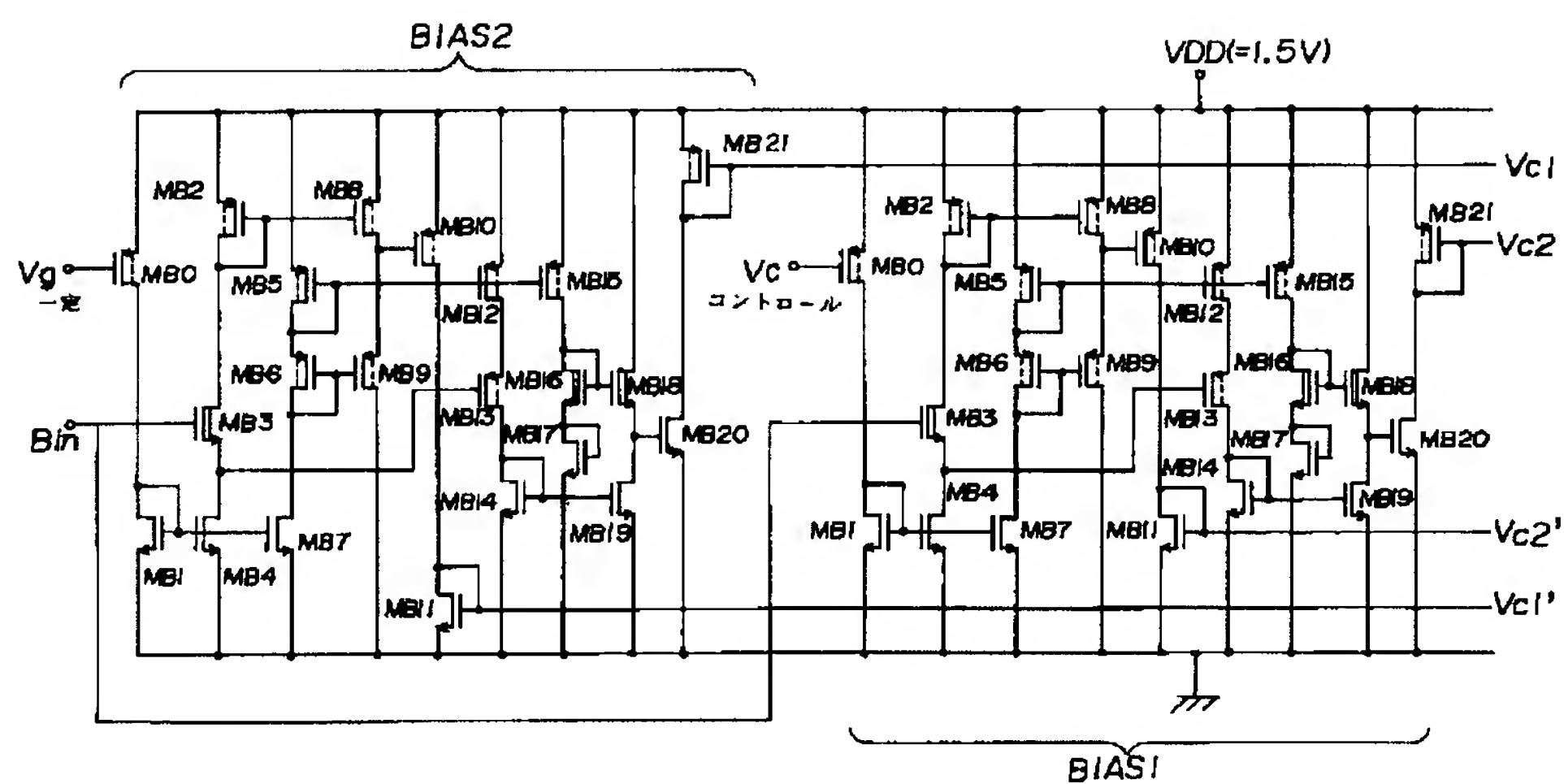


【図 12】

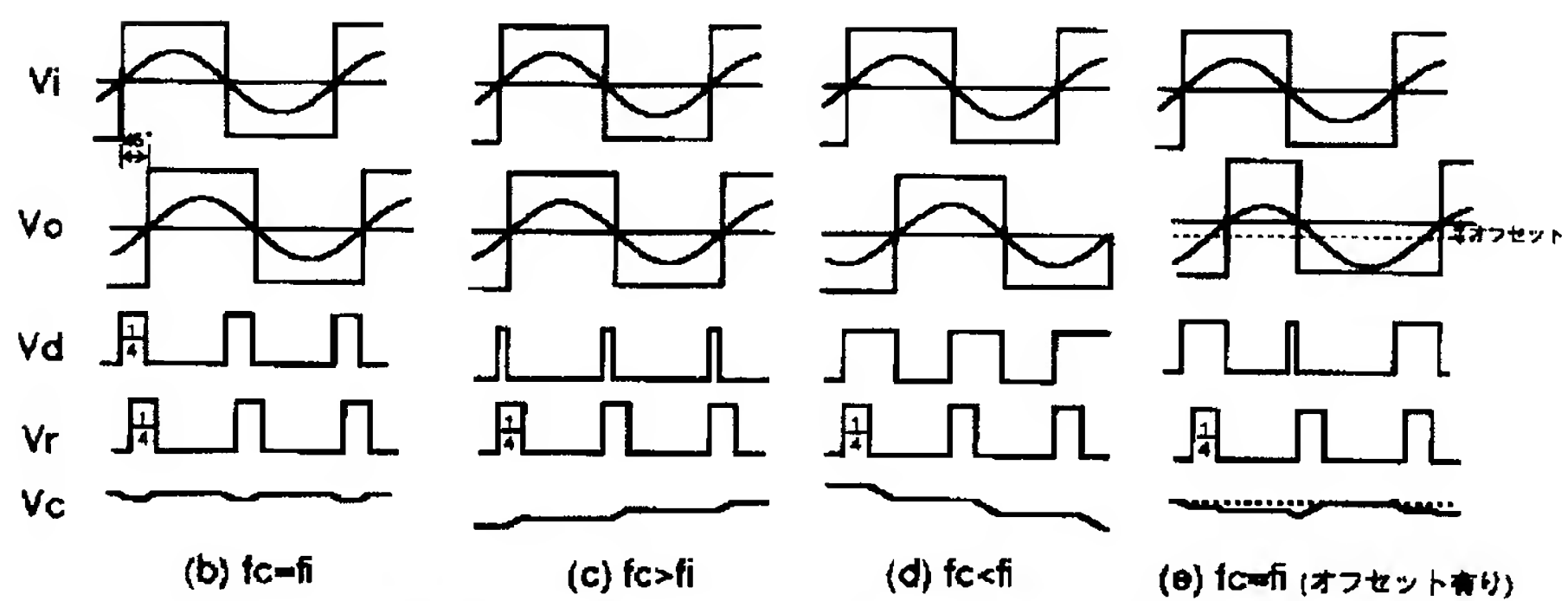




【图 8】

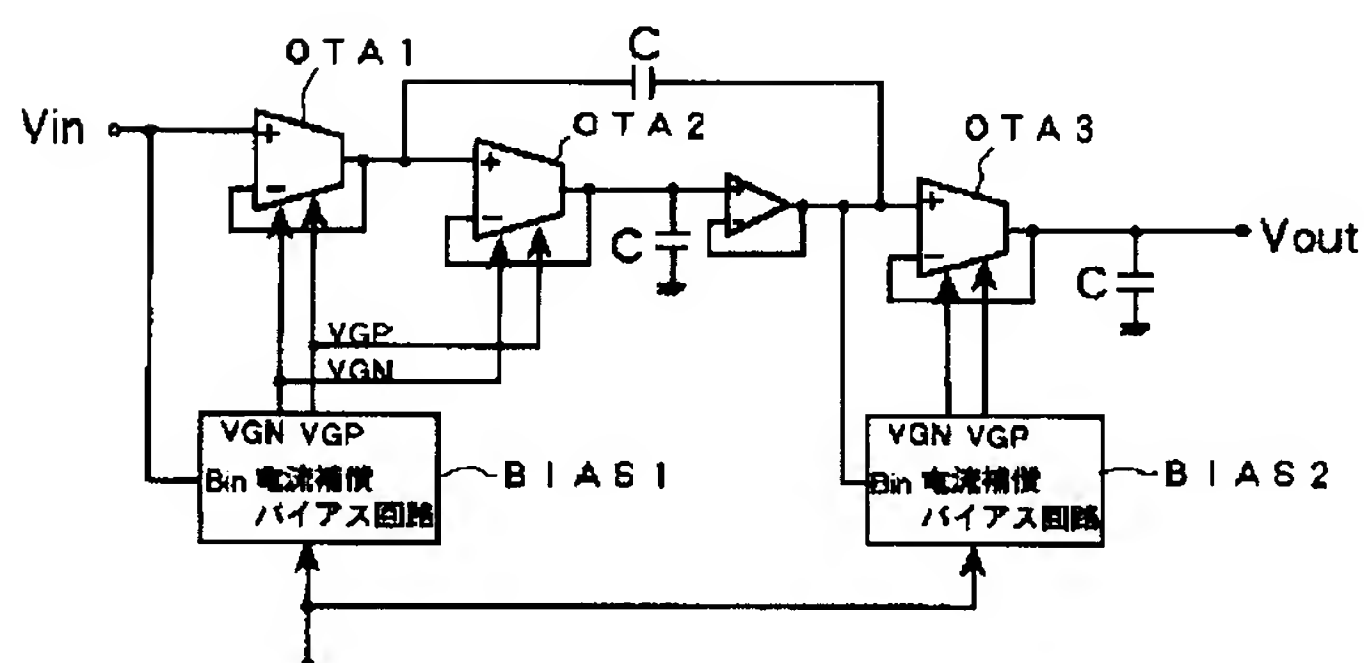


【図 1 1】

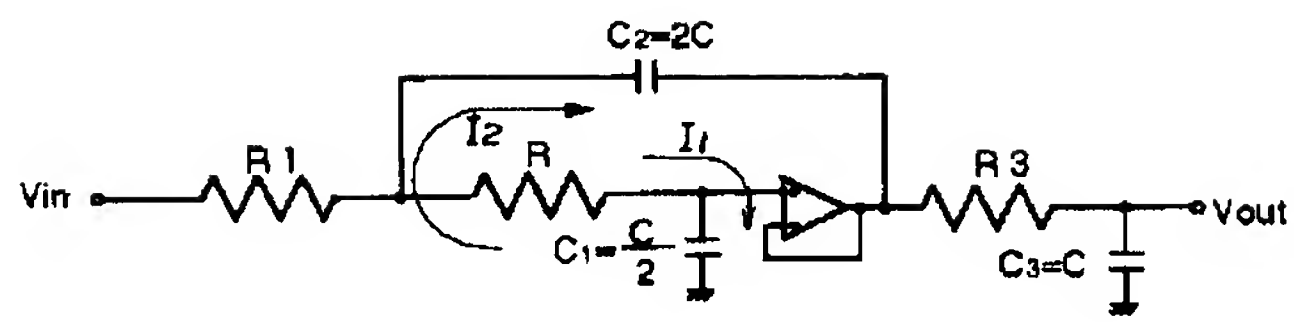


適応 G m 制御理想パルス比較周波数調整方式

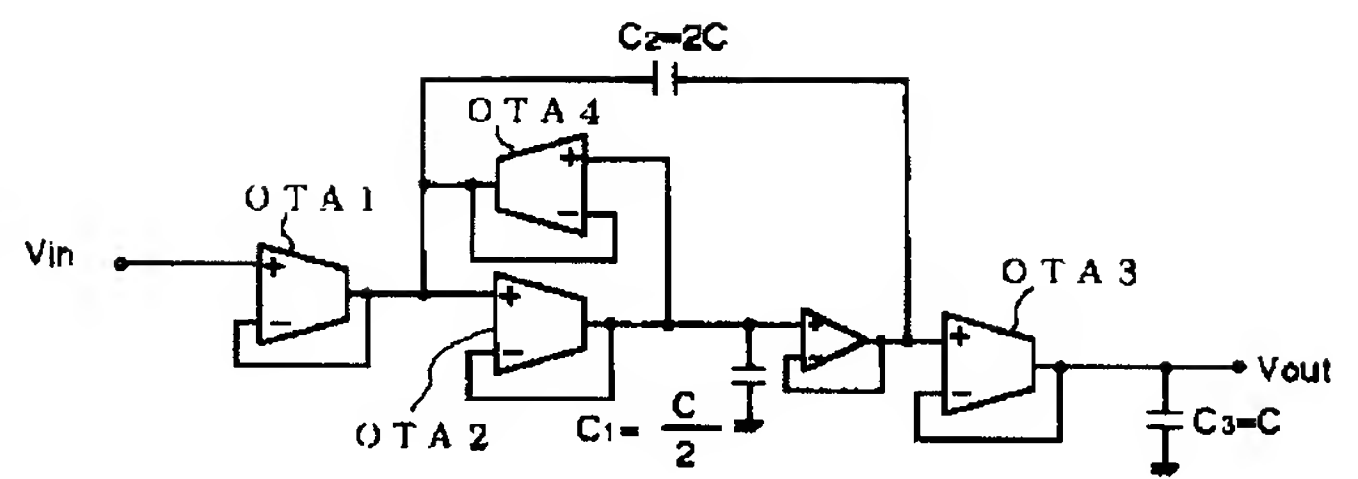
【图 13】



【図14】



【図15】



【図16】

